

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

010262481

WPI Acc No: 1995-163736/199522

Related WPI Acc No: 2002-019430

XRAM Acc No: C95-075733

XRPX Acc No: N95-128427

Crystallisation of amorphous silicon films - using a catalyst to
accelerate the process

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); HANDOTAI ENERGY
KENKYUSHO KK (SEME); FUKUNAGA T (FUKU-I); MIYANAGA A (MIYA-I);
OHTANI H

(OHTA-I); ZHANG H (ZHAN-I)

Inventor: FUKUNAGA T; MIYANAGA A; OHTANI H; ZHANG H

Number of Countries: 009 Number of Patents: 027

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 651431	A2	19950503	EP 94307986	A	19941031	199522 B
JP 7130652	A	19950519	JP 93294633	A	19931029	199529
JP 7135174	A	19950523	JP 93303436	A	19931109	199529
JP 7183540	A	19950721	JP 94162705	A	19940620	199538
TW 264575	A	19951201	TW 94109844	A	19941024	199608
EP 651431	A3	19950607				199610
US 5643826	A	19970701	US 94329644	A	19941025	199732
CN 1110004	A	19951011	CN 94112820	A	19941028	199735
US 5923962	A	19990713	US 94329644	A	19941025	199934
			US 95430623	A	19950428	
CN 1223459	A	19990721	CN 94112820	A	19941028	199947
			CN 98120978	A	19941028	
CN 1238553	A	19991215	CN 94112820	A	19941028	200017
			CN 99106954	A	19941028	
JP 2000068204	A	20000303	JP 94162705	A	19940620	200023
			JP 99233210	A	19940620	
JP 2000114543	A	20000421	JP 93303436	A	19931109	200031
			JP 99233206	A	19931109	
JP 2000138378	A	20000516	JP 93303436	A	19931109	200032
			JP 99233204	A	19931109	
US 6285042	B1	20010904	US 94329644	A	19941025	200154
			US 95483047	A	19950607	
			US 97928514	A	19970912	
KR 273833	B	20001115	KR 9536609	A	19951023	200170
			KR 200013018	A	20000315	
KR 273827	B	20010115	KR 9428037	A	19941029	200206
KR 273831	B	20010115	KR 9428037	A	19941029	200206
			KR 9769468	A	19971217	
US 6335541	B1	20020101	US 94329644	A	19941025	200207
			US 96633307	A	19960415	
EP 651431	B1	20020313	EP 94307986	A	19941031	200219
			EP 2001116025	A	19941031	
JP 2002057348	A	20020222	JP 93303436	A	19931109	200219

			JP 2001207329	A	19931109	
JP 2002076019	A	20020315	JP 93294633	A	19931029	200222
			JP 2001210092	A	19931029	
DE 69430097	E	20020418	DE 630097	A	19941031	200234
			EP 94307986	A	19941031	
US 20020053670	A1	20020509	US 94329644	A	19941025	200235
			US 96633307	A	19960415	
			US 200126802	A	20011227	
JP 2002083822	A	20020322	JP 93294633	A	19931029	200236
			JP 2001210091	A	19931029	
KR 297315	B	20011103	KR 9428037	A	19941029	200240
			KR 200013017	A	20000315	
JP 2002110543	A	20020412	JP 94162705	A	19940620	200241
			JP 2001212950	A	19940620	

Priority Applications (No Type Date): JP 94162705 A 19940620; JP 93294633 A 19931029; JP 93303436 A 19931109; JP 93307206 A 19931112; JP 99233206 A 19931109; JP 99233204 A 19931109; JP 2001207329 A 19931109; JP 2001210092 A 19931029; JP 2001210091 A 19931029

Cited Patents: 1.Jnl.Ref; EP 612102; US 5130264; US 5147826; WO 8603621

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

EP 651431	A2	E	31	H01L-021/20	
-----------	----	---	----	-------------	--

Designated States (Regional): DE FR GB NL

JP 7130652	A		9	H01L-021/20	
JP 7135174	A		13	H01L-021/20	
JP 7183540	A		16	H01L-029/786	
TW 264575	A			H01L-049/02	
EP 651431	A3			H01L-021/20	
US 5643826	A		26	H01L-021/228	
CN 1110004	A			H01L-021/208	
US 5923962	A			H01L-021/84	CIP of application US 94329644 CIP of patent US 5643826
CN 1223459	A			H01L-021/00	Div ex application CN 94112820
CN 1238553	A			H01L-021/00	Div ex application CN 94112820
JP 2000068204	A		16	H01L-021/20	Div ex application JP 94162705
JP 2000114543	A		13	H01L-029/786	Div ex application JP 93303436
JP 2000138378	A		12	H01L-029/786	Div ex application JP 93303436
US 6285042	B1			H01L-029/04	Div ex application US 94329644 Cont of application US 95483047 Div ex patent US 5643826
KR 273833	B			H01L-021/20	Div ex application KR 9536609
KR 273827	B			H01L-021/20	Previous Publ. patent KR 95012580
KR 273831	B			H01L-021/20	Div ex application KR 9428037
US 6335541	B1			H01L-029/04	Div ex application US 94329644 Div ex patent US 5643826
EP 651431	B1	E		H01L-021/20	Related to application EP 2001116025 Related to patent EP 1158580

Designated States (Regional): DE FR GB NL

JP 2002057348	A		13	H01L-029/786	Div ex application JP 93303436
---------------	---	--	----	--------------	--------------------------------

JP 2002076019 A	11 H01L-021/336	Div ex application JP 93294633
DE 69430097 E	H01L-021/20	Based on patent EP 651431
US 20020053670 A1	H01L-029/04	Div ex application US 94329644
		Div ex application US 96633307
JP 2002083822 A	11 H01L-021/336	Div ex application JP 93294633
KR 297315 B	H01L-021/20	Div ex application KR 9428037
JP 2002110543 A	17 H01L-021/20	Div ex application JP 94162705

Abstract (Basic): EP 651431 A

Mfg a semiconductor device comprises: (a) disposing a soln. in contact with a portion of a Si film on a substrate, the solution containing a catalyst for promoting crystallisation of the film; (b) crystallising the film by heating. Also claimed is the method using Ni as the catalyst and (III) the method as (I) in which crystals grow from the catalysed portion to a non catalysed portion and the devices (IV) made using the methods.

USE - Mfr. of electro-optical devices e.g. active matrix liq. crystal devices.

ADVANTAGE - Improved stability and reliability.

Title Terms: CRYSTAL; AMORPHOUS; SILICON; FILM; CATALYST; ACCELERATE; PROCESS

Derwent Class: E12; E31; L03; P81; U11; U14

International Patent Class (Main): H01L-021/00; H01L-021/20; H01L-021/208; H01L-021/228; H01L-021/336; H01L-021/84; H01L-029/04; H01L-029/786; H01L-049/02

International Patent Class (Additional): C01B-033/02; G02F-001/1365; H01L-021/26; H01L-021/268; H01L-021/316; H01L-027/01; H01L-027/12; H01L-027/13; H01L-031/00; H01L-031/036; H01L-031/0376; H01L-031/062; H01L-031/10; H01L-031/20; H01L-031/36

File Segment: CPI; EPI; EngPI

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁴

H01L 21/20

(11) 공개번호 특 1995-0012580

(43) 공개일자 1995년 05월 16일

(21) 출원번호	특 1994-0028037
(22) 출원일자	1994년 10월 29일
(30) 우선권주장	93-294633 1993년 10월 29일 일본(JP) 93-303436 1993년 11월 09일 일본(JP) 93-307206 1993년 11월 12일 일본(JP) 94-162705 1994년 06월 20일 일본(JP)
(71) 출원인	가부시키가이샤 한도다이 에네르기겐꾸쇼 야마자키 슈베이 일본 가나가와켄 아즈기시 하세 398
(72) 발명자	오따니 히사시 일본 가나가와켄 미세하라시 다카모리 7-896-1 맥 아이꼬이시다 코트 501 미야나가 아끼하라 일본 가나가와켄 하다노시 미나미가오까 3-4-1 2-505 후쿠나가 다케시 일본 가나가와켄 아즈기시 하세 304-1 플랫 에스미엘-에이 105 장 홍영 일본 가나가와켄 야마토시 후카미다미 1-10-15 팔레스 미야가미 302
(74) 대리인	이병호, 최달용

심사청구 : 없음

(54) 반도체 장치의 제조방법

요약

높은 안정성과 신뢰성을 갖는 반도체를 제조하는 방법은 비결정성 실리콘막의 표면을, 비결정성 실리콘막의 결정화를 촉진할 수 있는 촉매 원소를 함유하는 용액으로 코팅한 뒤에 비결정성 실리콘막을 열처리하여 실리콘막을 결정화한다.

도표도

도1

발명시

[발명의 명칭]

반도체 장치의 제조방법

[도면의 간단한 설명]

제1A도 내지 1D도는 본 발명에 따른 결정성 실리콘막을 형성하기 위한 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 반도체 장치의 제조 방법에 있어서, 실리콘막의 결정화 촉진용 촉매를 함유하는 용액을 기판 상의 실리콘막의 일부분과 접촉하도록 배치하는 단계와, 상기 실리콘막을 가열하여 결정화하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 2. 제1항에 있어서, 상기 촉매는 니켈(Ni), 팔라듐(Pd), 백금(Pt), 구리(Cu), 은(Ag), 금(Au), 인듐(In), 주석(Sn), 인(P), 비소(As) 및 안티몬(Sb)으로 이루어진 군으로부터 선택된 물질을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 3. 제1항에 있어서, 상기 촉매는 상기 용액내에 200ppm 이하의 농도로 포함되어 있는 것을 특징으로 하는 반도체 장치의 제조방법.

- 청구항 4. 제1항에 있어서, 용액내의 촉매 농도가 50ppm 이하인 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 5. 제1항에 있어서, 용액내의 촉매 농도가 10ppm 이하인 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 6. 제1항에 있어서, 촉매는 주기율표의 VII족, IIIb족, IVb, Vb족으로부터 선택된 적어도 하나의 원소인 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 7. 제1항에 있어서, 상기 실리콘막은 비결정성인 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 8. 제1항에 있어서, 상기 결정화 단계전에 상기 용액이 소정의 기간동안 상기 실리콘막과 접촉하여 유지되는 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 9. 제8항에 있어서, 실리콘막 안으로 도입되는 촉매의 농도는 상기 소정의 기간을 변경함으로써 조절되는 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 10. 반도체 장치의 제조 방법에 있어서, 니켈(Ni), 팔라듐(Pd), 백금(Pt), 구리(Cu), 은(Ag), 금(Au), 인듐(In), 주석(Sn), 인(P), 비소(As) 및 안티몬(Sb)으로 이루어진 군으로부터 선택된 물질을 함유하는 용액을 기판상의 실리콘막의 일부분과 접촉하도록 배치하는 단계와, 상기 실리콘막을 가열하여 결정화하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 11. 제10항에 있어서, 상기 실리콘막은 비결정성인 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 12. 제10항에 있어서, 상기 결정화 단계전에 상기 용액이 소정의 기간 동안 상기 실리콘막과 접촉하여 유지되는 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 13. 제12항에 있어서, 실리콘막 안으로 도입되는 물질의 농도는 상기 소정의 기간을 변경함으로써 조절되는 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 14. 반도체 장치의 제조 방법에 있어서, 니켈을 함유하는 용액을 기판상의 실리콘막과 접촉하도록 배치하는 단계와, 상기 단계후 상기 실리콘막을 가열하여 결정화하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 15. 제14항에 있어서, 상기 용액이 상기 실리콘막상에 코팅에 의해 구비되는 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 16. 제15항에 있어서, 상기 용액을 상기 실리콘과 0.5분 이상 접촉 유지시키는 단계와 상기 결정화 단계전에 상기 용액을 스피너(spinner)에 의해 건조하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 17. 제14항에 있어서, 상기 용액은 물, 알콜, 산, 암모늄, 벤젠, 톨루엔, 크실렌, 사염화탄소, 클로로포름, 및 에테르로 이루어진 군으로부터 선택된 용매를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 18. 제14항에 있어서, 상기 니켈은 니켈 아세틸 아세토네이트, 2-에틸 헥사노산 니켈, 브롬화니켈, 아세트산 니켈, 옥살산 니켈, 탄산니켈, 염화니켈, 요오드화니켈, 질산니켈, 황산니켈, 포름산 니켈, 니켈 아세틸 아세토네이트, 4-시클로헥실 부티르산, 산화니켈, 및 수산화니켈로 이루어진 군으로부터 선택된 니켈 화합물내에 포함되는 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 19. 제14항에 있어서, 상기 용액은 사이에 개재된 산화막을 통해 상기 실리콘막과 접촉하는 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 20. 제14항에 있어서, 상기 가열후 상기 니켈이 상기 실리콘막에 5×10^{16} 원자/cm² 내지 1×10^{18} 원자/cm²범위의 농도로 함유되는 것을 특징으로 하는 반도체 장치의 제조방법
- 청구항 21. 반도체 장치의 제조 방법에 있어서, 결정화 촉진 물질을 함유하는 용액을 실리콘막의 선택된 부분과 접촉하도록 배치함으로써 표면에 형성된 실리콘막의 제1영역 안으로 결정화 촉진 물질을 첨가하는 단계와, 결정이 상기 제1영역으로부터 상기 결정화 촉진 물질이 직접 첨가되지 않은 실리콘막의 제2영역쪽으로 성장하도록 상기 실리콘막을 가열하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 22. 제21항에 있어서, 상기 가열 단계 후에 상기 결정화 촉진 물질이 제2영역에서 보다 더 높은 농도로 실리콘막의 제1영역에 함유되는 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 23. 제21항에 있어서, 상기 제2영역에 반도체 장치의 능동 영역을 형성하도록 상기 가열 단계 후 상기 실리콘막을 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 24. 제21항에 있어서, 상기 결정화 촉진 물질은 니켈(Ni), 팔라듐(Pd), 백금(Pt), 구리(Cu), 은(Ag), 금(Au), 인듐(In), 주석(Sn), 인(P), 비소(As) 및 안티몬(Sb)으로 이루어진 군으로부터 선택되는 것을 특징으로 하는 반도체 장치의 제조방법.
- 청구항 25. 반도체 장치의 제조 방법에 있어서, 결정화 촉진 물질을 포함하고 있고 극성 용매에 용해되거나 분산되는 화합물을 함유하는 용액을 제조하는 단계와, 상기 용액을 실리콘막과 접촉하도록 배치하는 단계와, 상기 실리콘막을 가열함으로써 결정화하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.
- 청구항 26. 제25항에 있어서, 상기 극성 용매는 물, 알콜, 산 및 암모늄으로 이루어진 군으로부터 선택되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 27. 제25항에 있어서, 상기 화합물은 브롬화니켈, 아세트산 니켈, 옥살산 니켈, 탄산니켈, 염화 니켈, 요오드화 니켈, 질산니켈, 황산니켈, 포름산 니켈, 니켈 아세틸 아세토네이트, 4-시클로헥실 부티 르산, 산화니켈, 및 수산화니켈로 이루어진 군으로부터 선택되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 28. 제25항에 있어서, 계면활성제를 첨가하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 29. 제25항에 있어서, 상기 용액과 상기 실리콘막 사이에 산화막을 개재시키는 단계를 더 포함 하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 30. 반도체 장치의 제조 방법에 있어서, 결정화 촉진물질을 더 포함하고 있고 비극성 용매에 용 해되거나 분산되는 화합물을 함유하는 용액을 제조하는 단계와, 상기 용용액을 실리콘막과 접촉하도록 배 치하는 단계와, 상기 실리콘막을 가열함으로써 결정화하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 31. 제30항에 있어서, 상기 비극성 용매는 벤젠, 톨루엔, 크실렌, 사염화탄소, 클로로포름 및 에테르로 이루어진 군으로부터 선택되는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 32. 제30항에 있어서, 상기 화합물은 니켈 아세틸 아세토네이트, 2-에틸헥사노산 니켈, 브롬화 니켈, 4-시클로헥실부티르산, 산화니켈 및 수산화니켈로 이루어진 군으로부터 선택되는 것을 특징으로 하 는 반도체 장치의 제조 방법.

청구항 33. 절연 게이트 전계 효과 반도체 장치의 제조 방법에 있어서, 절연 표면에 비결정성 실리콘 막을 형성하는 단계와, 상기 실리콘막을 결정화하는 단계와, 게이트 절연막을 형성하도록 수증기를 함유 하는 산화분위기에서 상기 실리콘막의 표면을 산화시키는 단계를 포함하는 것을 특징으로 하는 반도체 장 치의 제조 방법.

청구항 34. 제33항에 있어서, 상기 결정화 단계전에 니켈을 상기 비결정성 실리콘막 안으로 첨가하는 단계를 더 포함하는 것을 특징으로 하는 절연 게이트 전계 효과 반도체 장치의 제조 방법.

청구항 35. 제33항에 있어서, 상기 산화 단계 후 상기 실리콘막을 질소를 함유하는 분위기에서 광선으 로 처리하는 단계를 더 포함하는 것을 특징으로 하는 절연 게이트 전계 효과 반도체 장치의 제조 방법.

청구항 36. 절연면에 형성된 결정성 실리콘으로 이루어진 적어도 하나의 능동 영역을 포함하고 있는 반도체 장치에 있어서, 상기 실리콘막은 비결정성 실리콘막의 결정화를 촉진시키는 촉매 원소를 함유하는 것을 특징으로 하는 반도체 장치.

청구항 37. 제36항에 있어서, 상기 촉매 원소는 니켈(Ni), 팔라듐(Pd), 백금(Pt), 구리(Cu), 은(Ag), 금(Au), 인듐(In), 주석(Sn), 인(P), 비소(As) 및 안티몬(Sb)으로 이루어진 군으로부터 선택된 물질을 포 함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 38. 제36항에 있어서, 상기 반도체 장치는 박막 트랜지스터, 다이오드 및 포토센서로 이루어진 군으로부터 선택되는 것을 특징으로 하는 반도체 장치.

청구항 39. 제36항에 있어서, 상기 반도체 장치는 PI, PN 및 NI로 나타낸 적어도 하나의 전기 접합을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 40. 제36항에 있어서, 상기 촉매 원소는 1×10^{16} 원자/cm² 내지 1×10^{18} 원자/cm² 범위의 농도로 상기 실리콘막에 함유되어 있는 것을 특징으로 하는 반도체 장치.

청구항 41. 제36항에 있어서, 상기 실리콘막에 대한 라만 분광술(Raman spectroscopy)의 피크 강도가 단결정 실리콘에 대한 라만 분광술의 피크 강도보다 1/30이상 더 큰 것을 특징으로 하 는 절연 게이트 전계 효과 반도체 장치의 제조 방법.

청구항 42. 제36항에 있어서, 상기 실리콘막의 결정 성장 방향이 [111]축과 일직선 정렬되어 있는 것을 특징으로 하는 반도체 장치.

청구항 43. 제36항에 있어서, 상기 실리콘막의 표면은 평면 {111}, {hkl} (h+k=1)로 표현되는 평면 및 그 이웃 평면중 적어도 하나를 가지는 것을 특징으로 하는 반도체 장치.

청구항 44. 제43항에 있어서, {hkl}로 표현되는 상기 평면들은 {110}, {123}, {134}, {235}, {145}, {156}, {257} 및 {167}인 것을 특징으로 하는 반도체 장치.

청구항 45. 기판상에 형성된 결정성 실리콘으로 이루어진 적어도 하나의 능동 영역을 포함하고 있는 반 도체 장치에 있어서, 상기 실리콘막의 표면은 평면 {111} {hkl} (h+k=1)로 표현되는 평면 및 그 이웃 평면 중 적어도 하나를 가지는 것을 특징으로 하는 반도체 장치.

청구항 46. 제45항에 있어서, {hkl}로 표현된 평면들은 {110}, {123}, {134}, {235}, {145}, {156}, {257} 및 {167}인 것을 특징으로 하는 반도체 장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도 1

D

